

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-263572

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

H01L 21/8242

H01L 27/108

H01L 27/04

H01L 21/822

(21)Application number : 06-051535

(71)Applicant : HITACHI LTD

(22)Date of filing : 23.03.1994

(72)Inventor : ABE YOSHIO

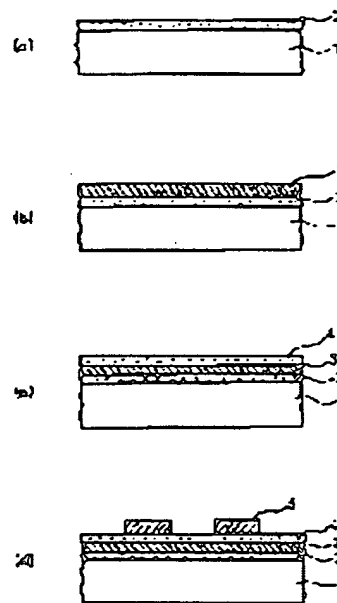
FUKUDA TAKUYA

(54) MANUFACTURE OF SEMICONDUCTOR MEMORY DEVICE AND SEMICONDUCTOR MEMORY DEVICE AND APPLICATION SYSTEM USING IT

(57)Abstract:

PURPOSE: To realize the high integration of a semiconductor memory device and to miniaturize the system to which the semiconductor memory device is applied by making an electrode containing metal titanium into a semiconductor substrate and forming an insulating film in the surface of the electrode with plasma oxidation applied to the electrode.

CONSTITUTION: A thermal oxide film 2 is formed on a semiconductor substrate 1 at first. Next, a metal titanium thin film 3 is formed for a lower electrode by a sputtering method. Further, an insulating film 4 is formed with the surface of the metal titanium thin film 3 oxidized by a plasma oxidation method. Finally, a metal thin film is formed for an upper electrode 5 by an evaporation method and a capacitor is completed. Thus, since metal titanium is oxidized by oxygen plasma which is high density and high reactive, an insulating film containing oxide titanium of high dielectric constant can be made at a low temperature as compared with the other oxidation method such as thermal oxidation method. Thereby, the fining of a capacitor can be performed with sufficient capacity being secured for a-ray resistance.



## LEGAL STATUS

[Date of request for examination]

29.03.2000

[Date of sending the examiner's decision of rejection]

27.11.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS**

**[Claim(s)]**

[Claim 1] The manufacture method of the semiconductor memory equipment which is the manufacture method of semiconductor memory equipment and is characterized by having the process which forms the electrode containing titanium metal in a semiconductor substrate, the process which forms an insulator layer on the surface of an electrode by carrying out plasma oxidation of this electrode, and the process which forms other electrodes in the front face of this insulator layer.

[Claim 2] The manufacture method of the semiconductor memory equipment characterized by performing plasma oxidation at 280-degree-C or more temperature of 500 degrees C or less in the manufacture method of semiconductor memory equipment according to claim 1.

[Claim 3] The manufacture method of semiconductor memory equipment that the electrode containing titanium metal is characterized by being the laminating electrode of titanium metal and noble metals in the manufacture method of semiconductor memory equipment according to claim 1 or 2.

[Claim 4] The manufacture method of the semiconductor memory equipment characterized by the thickness of titanium metal being the size of the half of the thickness of an insulator layer in the manufacture method of semiconductor memory equipment given in any 1 term of a claim 1 or a claim 3.

[Claim 5] Semiconductor memory equipment which is semiconductor memory equipment which has a capacitor and is characterized by having a semiconductor substrate, one [ containing titanium metal ] electrode of a capacitor prepared in this semiconductor substrate, the insulator layer containing the titanium oxide which has the crystal of rutile structure of a capacitor, and the electrode of another side of a capacitor established in the front face of this insulator layer.

[Claim 6] Semiconductor memory equipment characterized by having the electrode of another side of a capacitor which is semiconductor memory equipment which has a capacitor, and establishes in the front face of a semiconductor substrate, one electrode of the capacitor containing titanium metal prepared in this semiconductor substrate, and the electrode of one of these, and is established in the insulator layer of a capacitor in which X diffraction intensity has a diffraction peak in the angle of diffraction of the range of 27.55 degrees or 27.75 degrees, and the front face of this insulator layer.

[Claim 7] Semiconductor memory equipment which is semiconductor memory equipment which has a capacitor and is characterized by having a semiconductor substrate, one electrode of the capacitor containing titanium metal prepared in this semiconductor substrate, the insulator layer of a capacitor which has 100 or more specific inductive capacity, including titanium oxide, and the electrode of another side of a capacitor established in the front face of this insulator layer.

[Claim 8] Semiconductor memory card characterized by having semiconductor memory equipment of a publication in any 1 term of a claim 5 or a claim 7.

[Claim 9] RAM disk equipment characterized by having semiconductor memory equipment of a publication in any 1 term of a claim 5 or a claim 7.

[Claim 10] The microprocessor characterized by having semiconductor memory equipment of a publication in any 1 term of a claim 5 or a claim 7.

[Claim 11] Semiconductor memory equipment given in any 1 term of a claim 5 or a claim 7, semiconductor memory card according to claim 8, RAM disk equipment according to claim 9, and the computer characterized by having either of the microprocessors according to claim 10.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] this invention relates to the manufacture method of the semiconductor memory equipment which applied the high dielectric constant insulator, semiconductor memory equipment, and its application system.

[0002]

[Description of the Prior Art] For the miniaturization of a computer, or improvement in the speed, high integration of the dynamic RAM (it outlines Following DRAM) which is the storage element is progressing. The fundamental circuit of the DRAM memory cell section used now consists of an MOS transistor and a capacitor. This circuit memorizes 1-bit data with the amount of the charge accumulated at the capacitor. This capacitor must accumulate the charge of 100 or more fCs, in order to prevent the error (soft error) by the charge made by alpha rays. It follows, for example, a circuit is \*\*1.5V. In operating on voltage, 60 or more fFs of electrostatic capacity of a capacitor are needed.

[0003] It is necessary to make size of the capacitor of a memory cell detailed, securing the electrostatic capacity of the above capacitors, in order to integrate DRAM highly.

[0004] as the conventional technology which makes this possible -- the collection of octavus time ferroelectric application meeting drafts -- as indicated to pp.3-29, there is a method using the matter with big specific inductive capacity (epsilon<sub>r</sub>) as an insulator layer of a capacitor. As matter with big specific inductive capacity, there are SrTiO<sub>3</sub> (epsilon<sub>r</sub>\*\*200-300) and PbZr<sub>1-x</sub>Ti<sub>x</sub>O<sub>3</sub> (epsilon<sub>r</sub>\*\*1000). These matter has about 50 to 250 times [ of the diacid-ized silicon (epsilon<sub>r</sub>\*\*4) usually used as an insulator layer ] big specific inductive capacity.

[0005]

[Problem(s) to be Solved by the Invention] In order to improve the crystallinity and to obtain a high dielectric constant equivalent to the bulk material of these matter, under oxygen atmosphere, the thin film of above SrTiO<sub>3</sub> and PbZr<sub>1-x</sub>Ti<sub>x</sub>O<sub>3</sub> needs to make substrate temperature the elevated temperature of 500 degrees C or more, and needs to produce it. At this time, the front face of the aluminum (it is described as Following aluminum) which is the lower electrode of a capacitor, or polycrystal silicon oxidizes, and an aluminum oxide (it is described as the following aluminum 2O<sub>3</sub>) and 2 silicon oxides (it is described as the following SiO<sub>2</sub>) are formed. aluminum 2O<sub>3</sub> and the specific inductive capacity of SiO<sub>2</sub> are about 9 and about 4 in each. That is, the specific inductive capacity of these oxides is SrTiO<sub>3</sub>. PbZr<sub>1-x</sub>Ti<sub>x</sub>O<sub>3</sub> It is quite small. Consequently, since the insulator layer of a capacitor becomes the thing of a high dielectric constant film and a low dielectric constant film which carried out the series connection, the electrostatic capacity of a capacitor falls.

[0006] As a method of preventing oxidization of such an electrode, there is a method using a noble-metals electrode-like platinum. However, in the oxide insulator layer of plural systems, such as SrTiO<sub>3</sub> and PbZr<sub>1-x</sub>Ti<sub>x</sub>O<sub>3</sub>, there is a problem that the low dielectric constant phase by composition gap generates. For example, when producing PbZr<sub>1-x</sub>Ti<sub>x</sub>O<sub>3</sub> film by the sputtering method or the CVD (chemical vapor growth) method, since it is easy to diffuse Pb in an insulator layer in Pt electrode, Pb

runs short in an insulator layer. For this reason,  $ZrO_2$  deposits. The dielectric constant of  $ZrO_2$  is ten or less, and is  $PbZr_{1-x}Ti_xO_3$ . It is smaller than a dielectric constant. Furthermore, when Si of a substrate diffuses the inside of an electrode and arrives at an electrode front face, it is  $SiO_2$  here. It forms. Therefore, even if it uses a noble-metals electrode, the electrostatic capacity of a capacitor falls. [0007] this invention solves the above-mentioned trouble and aims at integrating semiconductor memory equipment highly.

[0008] Furthermore, this invention aims at miniaturizing the system adapting semiconductor memory equipment, and accelerating.

[0009]

[Means for Solving the Problem] The 1st feature of this invention for attaining the above-mentioned purpose is in the manufacture method of semiconductor memory equipment of having each following process.

[0010] (b) The process which serves as an electrode of a capacitor at a semiconductor substrate and which forms the electrode containing titanium metal.

[0011] (b) The process which carries out plasma oxidation of the electrode which is a process (b) and was formed, and forms the insulator layer of a capacitor on the surface of an electrode.

[0012] (c) The process which forms other electrodes of a capacitor in the front face of the insulator layer which is a process (c) and was formed.

[0013] The 2nd feature of this invention is in the semiconductor memory equipment which prepares the insulator layer containing the titanium oxide which prepares the electrode which contains titanium metal as one electrode of a capacitor, and has the crystal of rutile structure as an insulator layer of a capacitor in a semiconductor substrate.

[0014] The 3rd feature of this invention is in the application system which has semiconductor memory equipment of this invention.

[0015]

[Function] According to the 1st feature of this invention, since titanium metal is oxidized by strong high-density and reactant oxygen plasma, the insulator layer which contains the titanium oxide (it is described as the following  $TiO_2$ ) of a high dielectric constant at low temperature compared with other oxidization methods, such as the oxidizing [ thermally ] method, is producible. Therefore, compared with other oxidization methods, such as the oxidizing [ thermally ] method, diffusion of Si from oxidization and the semiconductor substrate of a lower electrode etc. cannot take place easily. Moreover,  $TiO_2$  Chemically, since it is thermodynamically stable, it is hard to deteriorate under the influence of the process after insulator layer formation. Furthermore,  $TiO_2$  Since it has the simple chemical composition of a system of 2 yuan, it is hard to produce a composition gap. For this reason, the insulator layer of a high dielectric constant which contains neither a low dielectric constant film nor a low dielectric constant phase can be obtained. Since detailed-ization of a capacitor is attained while this secures electrostatic capacity sufficient for alpha rays-proof, semiconductor memory equipment can be integrated highly. Moreover,  $TiO_2$  which has the crystal of rutile structure according to the 2nd feature of this invention It has a high dielectric constant and is the matter which a composition gap cannot produce easily further. Therefore, since-izing of the capacitor can be carried out [ detailed ], high integration of semiconductor memory equipment is attained. Moreover, since it is thermodynamically [ chemically / a book  $TiO_2$  / and ] stable, the defect of an insulator layer cannot occur easily. Therefore, the mass semiconductor memory equipment integrated highly can be obtained by the high yield.

[0016] Furthermore, according to the 3rd feature of this invention, with the mass semiconductor memory equipment integrated highly by this invention, cheap mass storage can be constituted and the miniaturization of systems, such as memory card, a microprocessor, and a computer, is attained.

[0017]

[Example] Hereafter, the example of this invention is explained in detail using a drawing.

[0018] (Example 1) Drawing 1 shows the manufacture method of the semiconductor memory equipment which is the example of this invention. However, this view shows the manufacture method of the capacitor section.

- a) Form the thermal oxidation film 2 of about 100nm of thickness on the Si substrate 1 first.
- b) Next, form the titanium metal (Ti) thin film 3 with a thickness of about 500nm by the sputtering method as a lower electrode.
- c) Further, the front face of the metal Ti thin film 3 is oxidized by the plasma oxidation method, and it is TiO<sub>2</sub> of about 100nm of thickness. An insulator layer 4 is formed.
- d) Finally, a golden (Au) thin film is formed in the thickness of about 50nm by the vacuum deposition as an up electrode 5, and a capacitor is completed. In the case of formation of Ti thin film by the sputtering method, membranes are formed by making an argon into spatter gas on conditions with a spatter gas pressure [ of 1Pa ], and a substrate temperature of 300 degrees C, using Metal Ti as a target. It is also possible to use a chemical vapor-growth (CVD) method besides the sputtering method for production of Ti thin film. In this case, Ti thin film is formed by understanding a titanium tetrachloride (TiCl<sub>4</sub>) by plasma in hydrogen (H<sub>2</sub>) atmosphere.

[0019] Drawing 2 shows the efficient consumer response (electron cyclotron resonance) plasma treatment equipment used for the plasma oxidation of Ti thin film. The Si substrate 100 is set to the substrate susceptor 102 which built in the substrate heater. A microwave waveguide 108 is connected to a vacuum housing 101 through the microwave introduction aperture 106 made from a quartz. And it lets this waveguide pass and is 2.45GHz from a microwave generator (not shown). Microwave electric field are introduced in a vacuum housing 101. Moreover, a vacuum housing 101 connects with the substrate carrying-in load lock chamber 104 through a gate valve 109. And Si substrate is carried in in a vacuum housing 101 from here. For plasma oxidation, oxygen gas is introduced to a vacuum housing 101 through the reactant gas inlet 105. The magnetic field coil 103 is installed in the circumference of a vacuum housing 101. Each magnetic field coil is controlled and it is made for the direction of line of magnetic force to become a substrate and a perpendicular on the Si substrate 100.

[0020] the time of oxidizing Ti thin film using this efficient consumer response plasma treatment equipment -- a vacuum housing 101 --  $1 \times 10^{-6}$ Torr the oxygen gas of the flow rate of 100 ml/min after exhausting to a grade -- the inside of a vacuum housing 101 -- introducing -- a pressure -- 0.1Pa \*\* -- it carries out If microwave is introduced in a vacuum housing 101 here, a electron cyclotron resonance will occur by the electric field of microwave, and the magnetic field (875 gauss) generated with the magnetic field coil. Thereby, the oxygen gas in a vacuum housing will be in the plasma state. Ti thin film is oxidized by the oxygen and the oxygen ion of such an excitation state. Therefore, since the reaction of Ti and oxygen occurs strongly compared with the usual thermal oxidation, the substrate temperature in the case of oxidization can be reduced.

[0021] Drawing 3 is TiO<sub>2</sub> when setting to 600W power of microwave which this invention person examined. A membranous X diffraction pattern is shown. At the substrate temperature of 180 degrees C, a diffraction peak is only the thing of Ti which is a lower electrode. Therefore, at this substrate temperature, the structure of TiO<sub>2</sub> film is amorphous. If substrate temperature is made high to 280 degrees C, the diffraction peak from the field (110) of TiO<sub>2</sub> which has rutile structure at X diffraction angle  $2\theta = 27.6$  degree will appear. Namely, TiO<sub>2</sub> of rutile structure The crystal is growing. If substrate temperature is made still higher, the strong diffraction peak from TiO<sub>2</sub> (110) field of rutile structure will appear in the range of X diffraction angle  $2\theta = 27.55-27.75$  degree. And if it becomes an elevated temperature, the diffraction intensity will become large. This is TiO<sub>2</sub> when substrate temperature is made high. It is shown that crystallinity improves.

[0022] Drawing 4 is the substrate temperature when setting power of microwave to 600W which this invention person examined, and TiO<sub>2</sub>. The relation of membranous specific inductive capacity is shown. As shown in drawing 3, it is TiO<sub>2</sub> of rutile structure at the substrate temperature of 280 degrees C. Corresponding to a diffraction peak appearing, specific inductive capacity increases suddenly. And 100 is exceeded at the substrate temperature of 400 degrees C or more. However, above 500 degrees C, specific inductive capacity shows saturation or a downward tendency. About crystallinity, as drawing 3 shows, the one where substrate temperature is higher is good. However, when Ti lower electrode is directly formed on Si substrate, it is about 500 degrees C or more, and Si and Ti react and titanium silicide (TiSi) generates. Thus, if a lower electrode serves as TiSi, SiO<sub>2</sub> will be formed between TiO<sub>2</sub>

insulator layers, and electrostatic capacity will fall.

[0023] As mentioned above, the rutile structure  $\text{TiO}_2$  of a high dielectric constant can be produced by carrying out and carrying out plasma oxidation of the substrate temperature to the range of 280-500 degrees C, without causing the fall of the electrostatic capacity by silicide.

[0024] Drawing 5 is related \*\*\*\* of the oxidization thickness of Ti, and substrate temperature. An oxidation rate becomes quick, when oxidization temperature is made high, as shown in this view. Therefore, control of thickness becomes difficult, so that it becomes an elevated temperature. Then, Pt which cannot oxidize easily is used as a lower electrode. By oxidizing the Ti/Pt cascade screen in which Ti was formed on Pt, upper Ti oxidizes completely and is  $\text{TiO}_2$ . Although it becomes, lower Pt remains as an electrode, without oxidizing. Even if it makes an oxidation rate quick, the lower electrode of a capacitor is lost and it becomes impossible therefore, to take an ohmic contact with other elements. Thereby, the yield fall by the defect of an electrode can be prevented. In addition, noble metals, such as not only Pt but Au, Pt, Pd, Ir, Re, etc., can be used as an electrode.

[0025] Drawing 6 shows the relation between Ti thickness in front of plasma oxidation, and  $\text{TiO}_2$  thickness formed by plasma oxidation.  $\text{TiO}_2$  generated by plasma oxidation by the thickness of Ti formed first since thickness increases twice [ about ] by oxidization Thickness is controllable. That is, (A) lower electrode can be made into the cascade screen of Ti and Pt, thickness of this Ti can be made into the thickness of the half of predetermined insulator layer thickness, and precision of the thickness of an insulator layer can be made high by the method of oxidizing all (B) Ti.

[0026] In addition, ablation of a film may arise after plasma oxidation. This is for distortion to occur in the cubical expansion by oxidization. This can be prevented by the method of dividing Ti metal membrane into a detailed pattern before oxidizing. Thereby, it is a metal Ti film and  $\text{TiO}_2$ . Since a touch area becomes small, oxidization stress eases and it stops exfoliating.

[0027] (Example 2) Drawing 7 is  $\text{TiO}_2$  to the insulator layer of a capacitor. The cross section of DRAM which applied the film is shown. n type dope layer from which 201 constitutes a p type Si substrate and 202 constitutes the source of an MOS transistor in this drawing, n type dope layer from which another side 203 constitutes a drain, and 204 -- a gate electrode and 206 -- for a plate electrode and 209, as for a gate insulator layer and 211, Si oxide film and 210 are [ an accumulation node electrode and 207 / the insulator layer of a capacitor, and 208 / a layer insulation film and 205 ] bit lines After the manufacture method of this DRAM first forms the source 202 which constitutes an MOS transistor and a drain 203, the gate insulator layer 210, the gate electrode 204, and the Si oxide film 209 on a substrate, it forms a Ti/Pt cascade screen by the sputter or CVD, and carries out patterning to the upper surface of the Si oxide film 209 after that. In this cascade screen, Pt contacts n type dope layer of the source 202. Here, noble metals, such as Au, Pt, Pd, Ir, and Re, can be used as an electrode instead of Pt like a last example. Thus,  $\text{TiO}_2$  which serves as the insulator layer 207 of a capacitor by plasma oxidation like a last example after forming a laminating electrode An insulator layer is formed. Furthermore, a DRAM cell will be completed, if Pt is formed by the sputtering method and the layer insulation film 211 and a bit line 205 are formed as a plate electrode 208.

[0028] In this example, it is  $\text{TiO}_2$  in which the insulator layer of a capacitor includes the crystal of rutile structure. Thereby, -izing of the size of a capacitor can be carried out [ detailed ], securing sufficient electrostatic capacity for alpha rays-proof, since this insulator layer has a high dielectric constant. And since it is chemically [ thermodynamically / this insulator layer / and ] stable, in this insulator layer, it is hard to generate a defect. Therefore, according to this example, DRAM of high accumulation and the high yield is realizable.

[0029] Drawing 8 is the block diagram of DRAM of this invention. A memory cell consists of one MOS transistor 1101 and a capacitor 1102. And this memory cell memorizes 1-bit data with the amount of the charge which a capacitor 1102 accumulates.

[0030] The gate electrode of an MOS transistor is connected to a word line 1103, and a word line is further connected to the decoder driver of a circumference circuit. Moreover, the drain electrode of an MOS transistor is connected to a bit line 1104, and this bit line is further connected to circumference circuits, such as a sense amplifier 1105, the readout circuit 1106, and the write-in circuit 1107.



Moreover, it connects with one electrode of a capacitor and the source electrode of an MOS transistor connects the electrode of another side of a capacitor to a plate line common to each bit.

[0031] In the conventional DRAM cell, it is SiO<sub>2</sub> to the insulator layer of a capacitor. It uses. However, SiO<sub>2</sub> If cell area is reduced since the dielectric constant is as small as 4, and it is high integration, it is difficult to secure sufficient capacity. On the other hand, TiO<sub>2</sub> of the high dielectric constant in the DRAM cell of this invention Capacity sufficient by using for an insulator layer can be obtained. Therefore, mass DRAM with a high degree of integration can be constituted.

[0032] (Example 3) Drawing 9 shows the block diagram of a computer system using the DRAM cell of this invention in the DRAM cell of this invention in a logical element (microprocessor), a memory device (DRAM), a RAM disk substrate, and semiconductor memory card.

[0033] Since the DRAM cells of this invention are small and large capacity, the whole system miniaturizes them. Furthermore, since mass information can be written at high speed, the throughput as the whole system improves.

[0034]

[Effect of the Invention] According to this invention, a capacitor with big electrostatic capacity is easily producible. If the capacitor of this invention is applied to DRAM, DRAM of high accumulation large capacity is realizable.

---

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出版公開番号

特開平7-263572

(43) 公開日 平成7年(1995)10月13日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/8242

27/108

27/04

H 0 1 L 27/ 10

3 2 5 J

27/ 04

C

審査請求 未請求 請求項の数11 O L (全 8 頁) 最終頁に続く

(21) 出願番号

特願平6-51535

(22) 出願日

平成6年(1994)3月23日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 阿部 良夫

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(72) 発明者 福田 琢也

茨城県日立市大みか町七丁目1番1号 株

式会社日立製作所日立研究所内

(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 半導体メモリ装置の製造方法及び半導体メモリ装置並びにそれを用いた応用システム

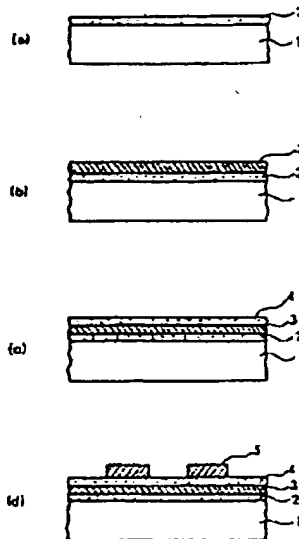
例【要約】

【目的】本発明は、半導体メモリ装置のコンデンサを微細化して、小型かつ大容量の半導体メモリ装置を提供することを目的とする。

【構成】Tiをコンデンサの下部電極として金属Ti薄膜を形成し、その後、プラズマ酸化により、ルチル構造を有するTiO<sub>2</sub>絶縁膜を形成する。

【効果】ルチル構造を有するTiO<sub>2</sub>絶縁膜は、高誘電率を有し、かつ熱力学的及び化学的に安定なので、コンデンサを微細化できかつ歩留まりも向上する。

図 1



【特許請求の範囲】

【請求項1】半導体メモリ装置の製造方法であって、金属チタンを含む電極を、半導体基板に形成する工程と、

この電極をプラズマ酸化することにより、電極の表面に絶縁膜を形成する工程と、

この絶縁膜の表面に他の電極を形成する工程と、を有することを特徴とする半導体メモリ装置の製造方法。

【請求項2】請求項1に記載の半導体メモリ装置の製造方法において、プラズマ酸化を $200^{\circ}\text{C}$ 以上 $500^{\circ}\text{C}$ 以下の温度で行うことを特徴とする半導体メモリ装置の製造方法。

【請求項3】請求項1または請求項2に記載の半導体メモリ装置の製造方法において、金属チタンを含む電極が、金属チタンと貴金属との積層電極であることを特徴とする半導体メモリ装置の製造方法。

【請求項4】請求項1ないし請求項3のいずれか1項に記載の半導体メモリ装置の製造方法において、金属チタンの膜厚が絶縁膜の厚さの半分の大きさであることを特徴とする半導体メモリ装置の製造方法。

【請求項5】コンデンサを有する半導体メモリ装置であって、半導体基板と、

この半導体基板に設ける、金属チタンを含む、コンデンサの一方の電極と、

ルチル構造の結晶を有する酸化チタンを含む、コンデンサの絶縁膜と、

この絶縁膜の表面に設けるコンデンサの他方の電極と、を有することを特徴とする半導体メモリ装置。

【請求項6】コンデンサを有する半導体メモリ装置であって、半導体基板と、

この半導体基板に設ける、金属チタンを含むコンデンサの一方の電極と、

この一方の電極の表面に設け、そしてX線回折強度が $27.55^{\circ}$ ないし $28^{\circ}$ の範囲の回折角において回折ピークを有する、コンデンサの絶縁膜と、

この絶縁膜の表面に設けるコンデンサの他方の電極と、を有することを特徴とする半導体メモリ装置。

【請求項7】コンデンサを有する半導体メモリ装置であって、半導体基板と、

この半導体基板に設ける、金属チタンを含むコンデンサの一方の電極と、

酸化チタンを含み、そして100以上の比誘電率を有する、コンデンサの絶縁膜と、

この絶縁膜の表面に設けるコンデンサの他方の電極と、を有することを特徴とする半導体メモリ装置。

【請求項8】請求項5ないし請求項7のいずれか1項に記載の半導体メモリ装置を有することを特徴とする半導

体メモリカード。

【請求項9】請求項5ないし請求項7のいずれか1項に記載の半導体メモリ装置を有することを特徴とする、半導体ディスク装置。

【請求項10】請求項5ないし請求項7のいずれか1項に記載の半導体メモリ装置を有することを特徴とする、マイクロプロセッサ。

【請求項11】請求項5ないし請求項7のいずれか1項に記載の半導体メモリ装置、請求項8に記載の半導体メモリカード、請求項9に記載の半導体ディスク装置、及び請求項10に記載のマイクロプロセッサのいずれかを有することを特徴とするコンピュータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は高誘電率絶縁体を適用した半導体メモリ装置の製造方法及び半導体メモリ装置並びにその応用システムに関する。

【0002】

【従来の技術】コンピュータの小型化や高速化のために、そのコンピュータの記憶素子であるダイナミックランダムアクセスメモリ（以下DRAMと略記する）の高集積化が進んでいる。現在用いられているDRAMメモリセル部の基本的な回路は、1T1Cトランジスタとコンデンサから構成する。この回路は、コンデンサに蓄積された電荷の量によって1ビットのデータを記憶する。このコンデンサは、 $\alpha$ 線によって作り出される電荷によるエラー（ソフトエラー）を防ぐために、100 fC以上の電荷を蓄積しなければならない。従って、例えば回路が $\pm 1.5\text{V}$ の電圧で動作する場合には、コンデンサの静電容量は60 fF以上必要となる。

【0003】DRAMを高集積化するためには、上記のようなコンデンサの静電容量を確保しながら、メモリセルのコンデンサのサイズを微細化する必要がある。

【0004】これを可能にする従来技術としては、第8回電気電子応用学会誌付録集pp.3-29に記載してあるように、比誘電率( $\epsilon_r$ )の大きな物質をコンデンサの絶縁膜として用いる方法がある。比誘電率の大きな物質としては、 $\text{SrTiO}_3$  ( $\epsilon_r \approx 200 \sim 300$ ) や  $\text{PbZr}_{0.5}\text{Ti}_{0.5}\text{O}_3$  ( $\epsilon_r \approx 1000$ ) がある。これらの物質は、絶縁膜として通常用いている二酸化シリコン( $\epsilon_r \approx 4$ ) の50~250倍程度の大きな比誘電率を有する。

【0005】

【発明が解決しようとする課題】上記の $\text{SrTiO}_3$ や $\text{PbZr}_{0.5}\text{Ti}_{0.5}\text{O}_3$ の薄膜は、その結晶性を良くしてかつこれらの物質のバルク材料と同等の高い誘電率を得るために、酸素雰囲気下で基板温度を $500^{\circ}\text{C}$ 以上の高温にして作製する必要がある。この時、コンデンサの下部電極であるアルミニウム（以下Alと記す）や多結晶シリコンの表面が酸化されて、酸化アルミニウム（以下

Al<sub>2</sub>O<sub>3</sub>と記す)や二酸化シリコン(以下SiO<sub>2</sub>と記す)が形成される。Al<sub>2</sub>O<sub>3</sub>及びSiO<sub>2</sub>の比誘電率は、それぞれ約9及び約4である。すなわち、これらの酸化物の比誘電率は、SrTiO<sub>3</sub>やPbZr<sub>0.1</sub>Ti<sub>0.9</sub>O<sub>3</sub>よりもかなり小さい。この結果、コンデンサの絶縁膜は高誘電率膜と低誘電率膜との直列結合したものとなるため、コンデンサの静電容量は低下する。

【0006】このような電極の酸化を防ぐ方法として、白金のような貴金属電極を用いる方法がある。しかし、SrTiO<sub>3</sub>やPbZr<sub>0.1</sub>Ti<sub>0.9</sub>O<sub>3</sub>などの多元系の酸化物絶縁膜では、組成ずれによる低誘電率相が生成するという問題がある。例えば、スパッタリング法あるいはCVD(化学的気相成長)法によりPbZr<sub>0.1</sub>Ti<sub>0.9</sub>O<sub>3</sub>膜を作製する場合、絶縁膜中のPbはPt電極内に拡散しやすいため絶縁膜中でPbが欠乏する。このため、ZrO<sub>2</sub>が析出する。ZrO<sub>2</sub>の誘電率は10以下であり、PbZr<sub>0.1</sub>Ti<sub>0.9</sub>O<sub>3</sub>の誘電率より小さい。さらに、基板のSiが電極中を拡散し、電極表面に達すると、ここでSiO<sub>2</sub>を形成する。従って、貴金属電極を用いても、コンデンサの静電容量が低下する。

【0007】本発明は、上記の問題点を解決し、半導体メモリ装置を高集積化することを目的とする。

【0008】さらに、本発明は、半導体メモリ装置を応用するシステムを小型化すること及び高速化することを目的とする。

【0009】

【課題を解決するための手段】上記目的を達成するための、本発明の第1の特徴は、次の各工程を有する半導体メモリ装置の製造方法にある。

【0010】(イ)半導体基板に、コンデンサの電極となる、金属チタンを含む電極を形成する工程。

【0011】(ロ)工程(イ)で形成した電極をプラズマ酸化して、電極の表面にコンデンサの絶縁膜を形成する工程。

【0012】(ハ)工程(ハ)で形成した絶縁膜の表面にコンデンサの他の電極を形成する工程。

【0013】本発明の第2の特徴は、半導体基板に、コンデンサの一方の電極として、金属チタンを含む電極を設け、かつコンデンサの絶縁膜として、ルチル構造の結晶を有する酸化チタンを含む絶縁膜を設ける半導体メモリ装置にある。

【0014】本発明の第3の特徴は、本発明の半導体メモリ装置を有する応用システムにある。

【0015】

【作用】本発明の第1の特徴によれば、高密度でかつ反応性の強い酸素プラズマにより金属チタンを酸化するので、熱酸化法などの他の酸化方法に比べ低温で、高誘電率の酸化チタン(以下TiO<sub>2</sub>と記す)を含む絶縁膜を作製することができる。従って、熱酸化法などの他の酸化方法に比べ、下部電極の酸化及び半導体基板からのS

iなどの拡散が起こりにくい。また、TiO<sub>2</sub>は、化学的に、そして熱力学的に安定であるため、絶縁膜形成後のプロセスの影響により変質しにくい。さらに、TiO<sub>2</sub>は、2元素の単純な化学組成を有するので、組成ずれが生じにくい。このため、低誘電率膜と低誘電率相を含まない高誘電率の絶縁膜を得ることができる。これにより、耐α線のために十分な静電容量を確保しながらコンデンサの微細化が可能になるので、半導体メモリ装置を高集積化することができる。また、本発明の第2の特徴によれば、ルチル構造の結晶を有するTiO<sub>2</sub>は高誘電率を有し、さらに、組成ずれが生じにくい物質である。従って、コンデンサが微細化できるので半導体メモリ装置の高集積化が可能になる。また、本発明は、化学的及び熱力学的に安定であるので、絶縁膜の不良が起きにくい。従って、高集積化された大容量の半導体メモリ装置を高い歩留まりで得ることができる。

【0016】さらに、本発明の第3の特徴によれば、本発明により高集積化された大容量の半導体メモリ装置により、安価で大容量の記憶装置を構成でき、メモリカード、マイクロプロセッサ、コンピュータなどのシステムの小型化が可能となる。

【0017】

【実施例】以下、本発明の実施例を図面を用いて詳細に説明する。

【0018】(実施例1)図1は、本発明の実施例である半導体メモリ装置の製造方法を示す。但し、本図は、コンデンサ部の製造方法を示したものである。

a)まず、Si基板1の上に、膜厚約100nmの熱酸化膜2を形成する。

b)次に、下部電極として、スパッタリング法により厚さ約500nmの金属チタン(Ti)薄膜3を形成する。

c)さらに、プラズマ酸化法により金属Ti薄膜3の表面を酸化し、膜厚約100nmのTiO<sub>2</sub>絶縁膜4を形成する。

d)最後に、上部電極5として蒸着法により金(Au)薄膜を約50nmの厚さに形成し、コンデンサが完成する。スパッタリング法によるTi薄膜の形成の際は、ターゲットとして金属Tiを用い、アルゴンをスパッタガスとして、スパッタガス圧力1Pa、及び基板温度300℃の条件で成膜する。Ti薄膜の作製には、スパッタリング法のほか、化学的気相成長(CVD)法を用いることも可能である。この場合、四塩化チタン(TiCl<sub>4</sub>)を水素(H<sub>2</sub>)雰囲気中でプラズマ分解することによりTi薄膜を形成する。

【0019】図2は、Ti薄膜のプラズマ酸化に用いるECR(電子サイクロトロン共鳴)プラズマ処理装置を示す。Si基板100は、基板ヒータを内蔵した基板セクタ102にセットする。真空容器101に、石英製のマイクロ波導入窓106を介してマイクロ波導波管1

08を接続する。そして、この導波管を通して、マイクロ波発生装置(図示してはいない)から2.45GHzのマイクロ波電界を真空容器101内に導入する。また真空容器101はゲートバルブ109を介して基板搬入ロードロック室104と接続する。そして、ここからSi基板が真空容器101内に搬入される。プラズマ酸化のために、酸素ガスを、反応ガス導入口105を通して真空容器101へ導入する。真空容器101の周囲には磁界コイル103を設置する。各磁界コイルを制御して、Si基板100上で磁力線の方向が基板と垂直になるようにする。

【0020】本ECRプラズマ処理装置を用いて、Ti薄膜を酸化する際は、真空容器101を $1 \times 10^{-6}$ 程度まで排気した後、100ml/minの流量の酸素ガスを真空容器101内に導入し圧力を0.1Paとする。ここでマイクロ波を真空容器101内に導入すると、マイクロ波の電界と磁界コイルにより発生した磁界低カウス)とにより電子サイクロトロン共鳴が起きる。これにより、真空容器内の酸素ガスはプラズマ状態となる。このような励起状態の酸素及び酸素イオンによりTi薄膜を酸化する。従って、通常の熱酸化に比べ、Tiと酸素の反応が強く起こるので、酸化の際の基板温度を低減できる。

【0021】図3は、本発明者が検討した、マイクロ波のパワーを600Wとした時におけるTiO<sub>2</sub>膜のX線回折パターンを示す。基板温度180℃では、回折ピークは、下部電極であるTiのもののみである。従って、この基板温度では、TiO<sub>2</sub>膜の構造はアモルファスである。基板温度を280℃まで高くすると、X線回折角 $2\theta = 27.6^\circ$ にルチル構造を有するTiO<sub>2</sub>の(110)面からの回折ピークが現われる。すなわち、ルチル構造のTiO<sub>2</sub>結晶が成長している。基板温度をさらに高くすると、X線回折角 $2\theta = 27.55 \sim 27.75^\circ$ の範囲にルチル構造のTiO<sub>2</sub>(110)面からの強い回折ピークが現われる。そして、高温になると、その回折強度が大きくなる。これは、基板温度を高くすると、TiO<sub>2</sub>の結晶性が向上していくことを示す。

【0022】図4は、本発明者が検討した、マイクロ波のパワーを600Wとした時における、基板温度とTiO<sub>2</sub>膜の比誘電率の関係を示す。図3に示したように基板温度280℃でルチル構造のTiO<sub>2</sub>の回折ピークが現われ始めるのに対応して、比誘電率が急激に増加する。そして、基板温度400℃以上では100を超える。しかし、500℃以上では、比誘電率は飽和または減少傾向を示す。結晶性については、図3が示すように、基板温度が高い方が良い。しかし、Si基板上に直接、Ti下部電極を形成した場合、500℃程度以上でSiとTiが反応しチタンシリサイド(TiSi)が生成する。このように下部電極がTiSiとなると、SiO<sub>2</sub>とTiO<sub>2</sub>絶縁膜との間に形成され静電容量が低下する。

【0023】以上のように、基板温度を280~500℃の範囲にしてプラズマ酸化することにより、シリサイドによる静電容量の低下を起こさずに、高誘電率のルチル構造TiO<sub>2</sub>を作製することができる。

【0024】図5は、Tiの酸化膜厚と基板温度の関係を示す。本図に示すように、酸化温度を高くした場合、酸化速度が速くなる。従って、高温になるほど、膜厚の制御が難しくなる。そこで、下部電極として、酸化しにくいPtを用いる。Pt上にTiを形成したTi/Pt積層膜を酸化することにより、上のTiは完全に酸化されてTiO<sub>2</sub>となるが、下のPtは酸化されずに電極として残る。従って、酸化速度を速くしても、コンデンサの下部電極がなくなって他の素子とのオーミックコンタクトがとれなくなることがない。これにより、電極の不良による歩留まり低下を防止できる。なお、Ptに限らず、Au, Pt, Pd, Ir, Reなどの貴金属を電極として用いることができる。

【0025】図6は、プラズマ酸化前のTi膜厚と、プラズマ酸化によって形成したTiO<sub>2</sub>膜厚との関係を示す。酸化により膜厚が約2倍に増加するので、初めに形成するTiの膜厚でプラズマ酸化によって生成するTiO<sub>2</sub>の膜厚を制御することができる。すなわち、(A)下部電極をTiとPtとの積層膜とし、このTiの膜厚を所定の絶縁膜厚の半分の厚さにして、(B)Tiをすべて酸化する、という方法により、絶縁膜の厚さの精度を高くすることができる。

【0026】なお、プラズマ酸化後に膜の剥離が生じることがある。これは酸化による体積膨張で空が発生するためである。これは、Ti金属膜を酸化前に微細パターンに分割する方法により防止できる。これにより、金属Ti膜とTiO<sub>2</sub>との接触面積が小さくなるので、酸化応力が緩和して剥離しなくなる。

【0027】(実施例2)図7は、コンデンサの絶縁膜にTiO<sub>2</sub>膜を適用したDRAMの断面図を示す。この図において201はp型Si基板、202はMOSTランジスタのソースを構成するn型ドープ層、他方203はドレインを構成するn型ドープ層、204はゲート電極、206は蓄積ノード電極、207はコンデンサの絶縁膜、208はプレート電極、209はSi酸化膜、210はゲート絶縁膜、211は層間絶縁膜、205はビット線である。このDRAMの製造方法は、まず基板上にMOSTランジスタを構成するソース202及びドレイン203、ゲート絶縁膜210、ゲート電極204、Si酸化膜209を形成したあと、Si酸化膜209の上面にTi/Pt積層膜を、スパッタ法またはCVD法により形成し、その後パターンニングする。この積層膜においては、Ptがソース202のn型ドープ層と接触する。ここで、前実施例と同様に、Ptの代わりに、Au, Pt, Pd, Ir, Reなどの貴金属を電極として用いることができる。このように積層電極を形成した

後、前実施例のようにプラズマ酸化によりコンデンサの絶縁膜207となるTiO<sub>2</sub>絶縁膜を形成する。さらに、プレート電極208として、Ptをスパッタリング法により形成し、層間絶縁膜211とビット線205を形成すると、DRAMセルが完成する。

【0028】本実施例においては、コンデンサの絶縁膜がルチル構造の結晶を含むTiO<sub>2</sub>である。これにより、本絶縁膜は高誘電率を有するので、耐α線に十分な静電容量を確保しつつ、コンデンサの寸法を微細化できる。しかも、本絶縁膜は熱力学的及び化学的に安定であるので、本絶縁膜においては不良が発生しにくい。従って、本実施例によれば、高集積かつ高歩留まりのDRAMを実現できる。

【0029】図8は本発明のDRAMの構成図である。メモリセルは1個のMOSTランジスタ1101とコンデンサ1102から構成する。そしてこのメモリセルは、コンデンサ1102が蓄積する電荷の量によって1ビットのデータを記憶する。

【0030】MOSTランジスタのゲート電極はワード線1103に接続し、さらにワード線は周辺回路のデコーダドライバに接続する。また、MOSTランジスタのドレイン電極はビット線1104に接続し、さらにこのビット線はセンスアンプ1105、読みだし回路1106、書き込み回路1107などの周辺回路に接続する。また、MOSTランジスタのソース電極はコンデンサの一方の電極に接続し、コンデンサの他方の電極は各ビット共通のプレート線に接続する。

【0031】従来のDRAMセルでは、コンデンサの絶縁膜にSiO<sub>2</sub>を用いている。しかし、SiO<sub>2</sub>は誘電率が4と小さいため、高集積化のためセル面積を縮小すると十分な容量を確保することが困難である。これに対し、本発明のDRAMセルでは、高誘電率のTiO<sub>2</sub>を絶縁膜に用いることで、十分な容量を得ることができる。従って、集積度の高い大容量のDRAMを構成できる。

【0032】(実施例3) 図9は、本発明のDRAMセルを、論理素子(マイクロプロセッサ)、メモリ素子(DRAM)、半導体ディスク基板、及び半導体メモリカードにおいて、本発明のDRAMセルを用いたコンピュータシステムの構成図を示す。

【0033】本発明のDRAMセルは、小型かつ大容量

であるため、システム全体が小型化する。さらに、大容量の情報を高速に読み書きできるので、システム全体としての処理能力が向上する。

【0034】

【発明の効果】本発明によれば、静電容量の大きなコンデンサを容易に作製することができる。本発明のコンデンサをDRAMに適用すると高集積大容量のDRAMを実現できる。

【図面の簡単な説明】

【図1】本発明の実施例である、半導体メモリ装置の製造方法。

【図2】ECRプラズマ処理装置の概略図。

【図3】酸化チタン薄膜の薄膜X線回折パターン。

【図4】酸化チタン薄膜の比誘電率と基板温度との関係を示す図。

【図5】Ti薄膜のプラズマ酸化によって生成した酸化チタンの膜厚と基板温度との関係を示す図。

【図6】プラズマ酸化前の金属Ti薄膜の膜厚とプラズマ酸化後の酸化チタン薄膜の膜厚との関係を示す図。

【図7】本発明を実施したダイナミックランダムアクセスメモリセルの断面図。

【図8】本発明を実施したダイナミックランダムアクセスメモリの構成図。

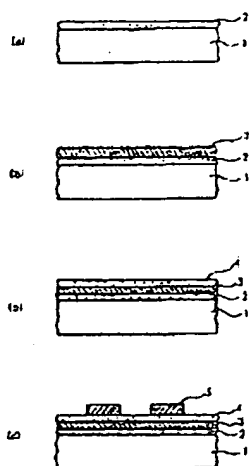
【図9】本発明を実施したコンピュータシステムの構成図。

【符号の説明】

1…Si基板、2…熱酸化膜、3…金属Ti薄膜、4…TiO<sub>2</sub>絶縁膜、5…Au上部電極、100…基板、101…真空容器、102…基板サセプタ、103…磁界コイル、104…ロードロック室、105…反応ガス導入口、106…マイクロ波導入窓、108…マイクロ波導波管、109…ゲートバルブ、201…p型Si基板、202…ソース、203…ドレイン、204…ゲート電極、205…ビット線、206…蓄積ノード電極、207…コンデンサの絶縁膜、208…プレート電極、209…Si酸化膜、210…ゲート絶縁膜、211…層間絶縁膜、1101…MOSTランジスタ、1102…コンデンサ、1103…ワード線、1104…ビット線、1105…センスアンプ、1106…読みだし回路、1107…書き込み回路。

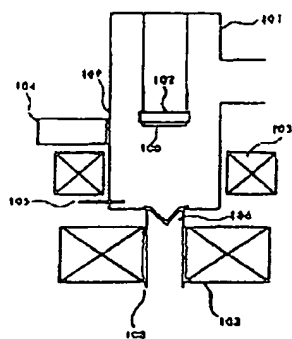
【図1】

図 1



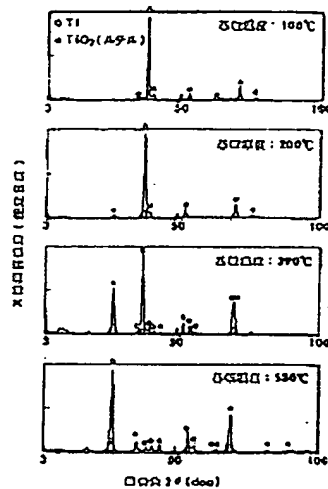
【図2】

図 2



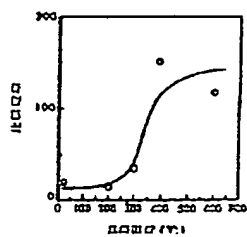
【図3】

図 3



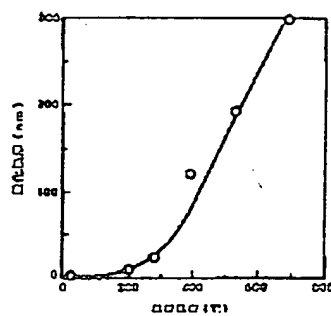
【図4】

図 4



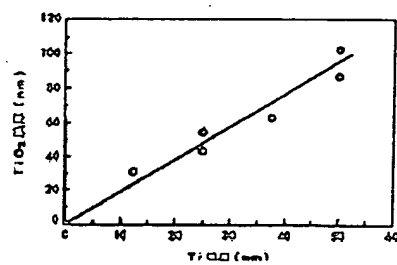
【図5】

図 5



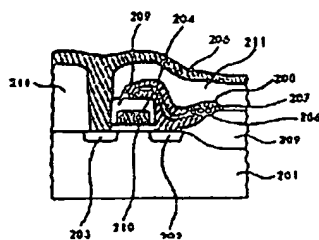
【図6】

図 6



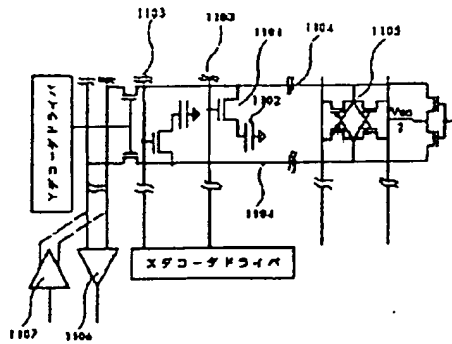
【図7】

図 7



【図8】

8



【図9】

9

